

Atty. Docket No. OPP 031052 US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF: :


Young-Hun SEO : GROUP ART UNIT:

SERIAL NO: NEW APPLICATION :

FILED: HEREWITH : EXAMINER:

FOR: TRENCH IN SEMICONDUCTOR DEVICE AND FORMATION METHOD THEREOF

I hereby certify that this document is being deposited with the United States Postal Service as Express Mail No. EU190172565US in an envelope addressed to Commissioner for Patents, Mail Stop Patent Application, Washington, D.C. 20231, on December 5, 2003.

By: 
Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0081996	December 20, 2002	Repbulic of KOREA
10-2002-0081997	December 20, 2002	Repbulic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Suite 107
Fresno, California 93720
(559) 299-0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0081997
Application Number

출 원 년 월 일 : 2002년 12월 20일
Date of Application DEC 20, 2002

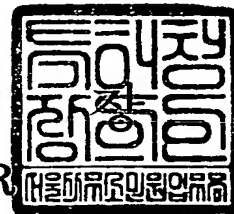
출 원 인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 09 월 17 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0005
【제출일자】 2002.12.20
【발명의 명칭】 반도체 소자의 트렌치 및 트렌치 형성 방법
【발명의 영문명칭】 Trench of semiconductor device and formation method of the trench
【출원인】
【명칭】 아남반도체 주식회사
【출원인코드】 1-1998-002671-9
【대리인】
【명칭】 유미특허법인
【대리인코드】 9-2001-100003-6
【지정된변리사】 오원석
【포괄위임등록번호】 2001-041985-8
【발명자】
【성명의 국문표기】 서영훈
【성명의 영문표기】 SEO, YOUNG HUN
【주민등록번호】 691112-1480811
【우편번호】 420-130
【주소】 경기도 부천시 원미구 도당동 222번지
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】
【기본출원료】 15 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 7 항 333,000 원
【합계】 362,000 원



1020020081997

출력 일자: 2003/9/20

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

반도체 소자의 트렌치 및 트렌치 형성 방법에 관한 것으로, 그 목적은 트렌치와 인접한 반도체 기판의 상부 모서리 부분을 날카롭지 않고 완만한 형태로 라운딩시켜 소형화에 유리한 트렌치 격리구조를 제공하는 것이다. 이를 위해 본 발명에서는 반도체 소자의 트렌치 형성 방법은, 실리콘웨이퍼 상에 패드산화막 및 질화막을 형성하고, 트렌치로 예정된 영역의 상부에 위치하는 질화막 및 패드산화막을 예정된 트렌치보다 소정폭 더 크게 식각하여 로코스(LOCOS : local oxidation of silicon)구를 형성하는 단계; 로코스구를 통해 노출된 실리콘웨이퍼를 열산화하여 로코스산화막을 형성하는 단계; 트렌치로 예정된 영역 상에 위치하는 로코스산화막과, 목적하는 소정깊이의 실리콘웨이퍼를 식각하여 트렌치를 형성하되, 트렌치의 가장자리에 위치하는 실리콘웨이퍼에는 로코스산화막을 잔존시키도록 식각하여 트렌치를 형성하는 단계; 트렌치의 내부를 매립하도록 절연막을 형성하는 단계를 포함하여 반도체 소자의 트렌치를 형성한다.

【대표도】

도 2e

【색인어】

트렌치, LOCOS, 라운딩



【명세서】

【발명의 명칭】

반도체 소자의 트렌치 및 트렌치 형성 방법 {Trench of semiconductor device and formation method of the trench}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 반도체 소자의 트렌치 형성 방법을 도시한 단면도이다.

도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 트렌치 형성 방법을 도시한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<3> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 트렌치를 형성하는 방법에 관한 것이다.

<4> 일반적인 반도체 소자의 격리구조로서, 질화막을 마스크로 이용하여 반도체 기판 자체를 열산화시키는 로코스(LOCOS : local oxidation of silicon, 이하 LOCOS라 한다) 격리구조가 널리 사용되어왔다. 그러나, LOCOS 격리구조에 의하면 버즈비크(bird's beak)가 발생하여 필드영역의 면적이 증대되어버리기 때문에, 이 구조로는 소자의 미세화에 한계가 생기는 문제점이 있었다.

<5> 이러한 문제점을 극복하기 위해 LOCOS를 대체하는 소자 격리구조로서 트렌치 격리구조(STI : shallow trench isolation)가 있다. 트렌치 격리구조에서는 반도체 기판 내에 트렌치를



형성하고 그 내부에 절연물질을 충전시킴으로써 필드영역의 크기를 목적한 트렌치의 크기로 제한하기 때문에 반도체 소자의 미세화에 유리하다.

- <6> 그러면, 종래 트렌치 격리구조의 반도체 소자 제조 방법에 대해 첨부된 도면을 참조하여 설명하면 다음과 같다. 도 1a 및 도 1b는 종래 반도체 소자의 트렌치를 형성하는 방법 도시한 단면도이다.
- <7> 먼저, 도 1a에 도시된 바와 같이, 반도체 기판(1) 상에 패드산화막(2)과 실리콘질화막(3)을 증착한 후, 그 상부에 감광막을 도포하고 노광하여 트렌치로 예정된 영역의 상부에 해당하는 감광막만을 제거하여 감광막 패턴(4)을 형성한다.
- <8> 다음, 도 1b에 도시된 바와 같이, 감광막 패턴(4)을 마스크로 하여 노출된 실리콘질화막(3), 패드산화막(2) 및 목적하는 소정깊이의 기판(1)을 건식식각하여 반도체 기판(1) 내에 트렌치(100)를 형성한 다음, 감광막 패턴을 제거하고 세정공정을 수행한다.
- <9> 이어서, 트렌치(100)의 내벽을 포함하여 실리콘질화막(3)의 상부 전면에서 라이너산화막(5)을 형성하고, 라이너산화막(5) 상에 트렌치(100)를 충분히 충전시키도록 트렌치산화막(6)을 두껍게 증착한다.
- <10> 이 때 라이너산화막(5)은 트렌치 산화막(6) 증착 시의 스트레스 등이 트렌치에 직접 전달되는 것을 억제하거나 또는 트렌치 영역에서 노출된 기판(1)과 실리콘질화막(3)간의 재료 차이에 기인한 증착 속도 차이에 따른 트렌치 산화막(6)의 불균일성을 해소하는 역할을 한다.
- <11> 또한, 라이너산화막(5)을 형성하면 이후 트렌치 격리공정 완료 후 트렌치와 인접한 반도체 기판의 상부 모서리(도 1b에서 점선원으로 표시)가 너무 뾰족해지지 않고 라운딩되도록 하는 효과도 있다.



- <12> 이후에는, 실리콘질화막(3)이 노출될 때까지 트렌치 산화막(6)을 화학기계적 연마하여 평탄화시킨 다음, 습식식각으로 실리콘질화막(3) 및 패드산화막(2)을 제거함으로써 트렌치 격리공정을 완료한다.
- <13> 그러나, 이러한 종래 트렌치 격리구조에서는 라이너산화막의 형성만으로는 트렌치와 인접한 반도체 기판의 상부 모서리를 라운딩시키는 것이 어렵고, 이는 소자의 고집적화되어 갈수록 더욱 어려워진다.
- <14> 따라서, 소자가 고집적화되어 갈수록 트렌치와 인접한 반도체 기판의 상부가 날카로운 모서리를 가져 그 모서리 부분에 전하가 집중되면 절연파괴 전압이 저하되는 등의 문제점이 있었다.
- <15> 따라서, 트렌치와 인접한 반도체 기판의 상부 모서리 부분을 완만한 형태로 만들기 위한 새로운 방법이 모색되어야 하는 실정이다.

【발명이 이루고자 하는 기술적 과제】

- <16> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 트렌치와 인접한 반도체 기판의 상부 모서리 부분을 날카롭지 않고 완만한 형태로 라운딩시키는 것이다.
- <17> 본 발명의 다른 목적은 소형화에 유리한 트렌치 격리구조를 제공하는 것이다.

【발명의 구성 및 작용】

- <18> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 트렌치로 예정된 영역의 상부에 예정된 트렌치보다 더 큰 폭으로 로코스산화막을 형성한 후 트렌치를 형성하여 트렌치의 가장자리에 로코스산화막을 잔존시키는 것을 특징으로 한다.



- <19> 즉, 본 발명에 따른 반도체 소자의 트렌치 형성 방법은, 실리콘웨이퍼 상에 패드산화막 및 질화막을 형성하고, 트렌치로 예정된 영역의 상부에 위치하는 질화막 및 패드산화막을 예정된 트렌치보다 소정폭 더 크게 식각하여 로코스(LOCOS : local oxidation of silicon)구를 형성하는 단계; 로코스구를 통해 노출된 실리콘웨이퍼를 열산화하여 로코스산화막을 형성하는 단계; 트렌치로 예정된 영역 상에 위치하는 로코스산화막과, 목적하는 소정깊이의 실리콘웨이퍼를 식각하여 트렌치를 형성하되, 트렌치의 가장자리에 위치하는 실리콘웨이퍼에는 로코스산화막을 잔존시키도록 식각하여 트렌치를 형성하는 단계; 트렌치의 내부를 매립하도록 절연막을 형성하는 단계를 포함하여 이루어진다.
- <20> 여기서, 로코스구를 형성할 때에는, 예정된 트렌치보다 400Å 이하만큼 더 큰 폭으로 식각하는 것이 바람직하다.
- <21> 트렌치를 형성할 때에는, 로코스산화막 및 질화막 상에 감광막을 도포하고 노광 및 현상하여 트렌치로 예정된 영역 상에 위치하는 로코스산화막을 노출시키는 감광막 패턴을 형성한 후, 감광막 패턴을 마스크로 하여 노출된 로코스산화막 및 목적하는 소정깊이의 실리콘웨이퍼를 식각하여 트렌치를 형성하는 것이 바람직하다.
- <22> 감광막 패턴을 형성할 때에는 트렌치의 가장자리에 위치하는 실리콘웨이퍼에 형성된 로코스산화막을 200Å 이하의 폭으로 덮어 전체적인 단면폭으로는 400Å 이하의 폭으로 덮고 나머지 로코스산화막을 노출시키도록 감광막 패턴을 형성하는 것이 바람직하다.
- <23> 이하, 본 발명에 따른 반도체 소자의 트렌치 및 그 트렌치 형성 방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.



- <24> 본 발명에 따른 반도체 소자의 트렌치는 도 2e에 도시되어 있으며, 여기에는 실리콘웨이퍼(11) 내에 소자분리 영역으로서 형성되어 절연물질, 바람직하게는 산화막(16)으로 매립된 트렌치가 형성된 것이 도시되어 있다.
- <25> 여기서, 트렌치의 양 가장자리에 로코스(LOCOS : local oxidation of silicon)산화막(15)이 형성되어 트렌치와 인접한 실리콘웨이퍼(11)의 상부 모서리가 라운딩된 것이 특징이다.
- <26> 로코스산화막(15)은 200Å 이하의 폭을 가지며, 로코스산화막(15)이 조금이라도 존재하면 실리콘웨이퍼(11)의 상부 모서리가 라운딩되기 때문에 로코스산화막(15) 폭의 하한치는 정할 수가 없다.
- <27> 또한, 트렌치의 내벽 및 로코스산화막(15) 상에는 라이너산화막(17)이 100-500Å의 두께로 형성될 수도 있다.
- <28> 그러면, 이와 같은 반도체 소자의 트렌치를 형성하는 방법에 대해 도 2a 내지 도 2e를 참조하여 설명한다. 도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 트렌치 형성 방법을 도시한 단면도이다.
- <29> 먼저, 도 2a에 도시된 바와 같이, 실리콘웨이퍼(11) 상에 패드산화막(12)을 얇게 증착하고, 패드산화막(12) 위에 질화막(13)을 증착한 후, 그 상부에 감광막을 도포하고 노광하여 트렌치로 예정된 영역의 상부에 위치하는 감광막을 제거하되, 트렌치보다 더 크게 제거하여 트렌치로 예정된 영역보다 조금 더 큰 폭의 질화막(13)을 노출시키는 제1감광막 패턴(14)을 형성한다.
- <30> 제1감광막 패턴(14)을 형성할 때, 예정된 트렌치의 폭보다 더 큰 부분은 이후에 형성될 로코스산화막의 크기에 해당하는 것으로서, 이는 트렌치에 인접한 실리콘웨이퍼 상부 모서리의

원하는 라운딩 정도에 따라 조절 가능한데, 보통 한쪽에서 200Å 이하 정도, 전체적인 단면폭으로는 400Å 이하만큼 더 큰 폭으로 오프닝된 제1감광막 패턴(14)을 형성하는 것이 바람직하다.

- <31> 패드산화막(12)은 질화막(13)으로부터 스트레스가 실리콘웨이퍼(11)에 전달되는 것을 억제하기 위해 선택적으로 증착하는 것으로서 100-300Å 정도의 두께로 얇게 증착하는 것이 바람직하며, 가장 바람직하게는 200Å의 두께로 증착할 수 있다.
- <32> 질화막(13)은 산화막과의 식각선택비가 큰 재료이므로 후속공정인 트렌치 산화막의 화학기계적 연마 공정에서 종료층 역할을 하며 보통 1500-3000Å 정도의 두께로 증착하는 것이 바람직하고, 일 예로서 2000Å 두께로 증착할 수 있다.
- <33> 다음, 도 2b에 도시된 바와 같이, 제1감광막 패턴(14)을 마스크로 하여 노출된 질화막(13) 및 패드산화막(12)을 식각하여 로코스구(100)를 형성한 후, 제1감광막 패턴(14)을 제거하고 세정공정을 수행한다.
- <34> 이어서, 로코스구(100)를 통해 노출된 실리콘웨이퍼(11)을 열산화시켜 그 부분에 로코스산화막(15)을 형성한다. 이 때 로코스산화막(15)은 실리콘웨이퍼의 열산화 특성상 타원형상으로 형성되며, 그 두께를 조절하면 이후 형성될 트렌치 상부 모서리의 라운딩 정도를 조절할 수 있다.
- <35> 다음, 도 2c에 도시된 바와 같이, 로코스산화막(15) 및 질화막(13) 상에 감광막을 도포하고 노광 및 현상하여 트렌치로 예정된 영역의 상부를 노출시키는 제2감광막 패턴(16)을 형성한다. 이 때 제2감광막 패턴(16)의 오프닝된 부분은 보통 로코스산화막(15)의 가운데 부분 정도 상에 위치하도록 하며, 적어도 트렌치의 가장자리에 위치하는 실리콘웨이퍼에 형성된 로코

산화막을 200 Å 이하의 폭으로 덮고, 즉 전체 단면으로 보면 양쪽에서 각각 200 Å 이하의 폭으로 덮고 나머지 로코스산화막을 노출시키도록 감광막 패턴을 형성하는 것이 바람직하다.

- <36> 다음, 도 2d에 도시된 바와 같이, 제2감광막 패턴(16)을 마스크로 하여 노출된 로코스산화막(15) 및 목적하는 소정깊이의 실리콘웨이퍼(11)을 식각하여 트렌치(200)를 형성한다.
- <37> 그 결과 트렌치(200)의 가장자리에 위치하는 실리콘웨이퍼(11)에는 로코스산화막(15)이 잔존한다. 이러한 잔존 로코스산화막(15)은 이후 트렌치(200)에 인접한 실리콘웨이퍼(11)의 상부 모서리를 라운딩시키는 역할을 한다.
- <38> 다음, 도 2e에 도시된 바와 같이, 트렌치(200)의 내부를 포함하여 실리콘웨이퍼(11)의 상부 전면에 트렌치(200)를 충분히 매립시키도록 트렌치산화막(18)을 두껍게 증착한다.
- <39> 트렌치산화막(18)의 증착 전에, 트렌치산화막(18)의 증착특성 향상을 위해 선택적으로 라이너산화막(17)을, 트렌치(200)의 내벽을 포함하여 로코스산화막(15) 및 질화막(13) 상에 100-500 Å 두께로 형성할 수도 있다.
- <40> 또는, 트렌치산화막(18)의 증착 전에, 잔존 로코스산화막(15)을 제거한 후 라이너산화막(17)을 100-500 Å 두께로 형성할 수도 있다.
- <41> 이후에는 질화막(13)이 노출될 때까지 트렌치산화막(18)을 화학기계적 연마하여 평탄화시킨 후, 질화막(13) 및 패드산화막(12)을 습식식각으로 제거하는 공정을 수행함으로써 트렌치 격리공정을 완료한다.



【발명의 효과】

- <42> 상술한 바와 같이, 본 발명에서는 트렌치의 가장자리에 소정폭으로 로코스산화막을 형성한 후 트렌치를 형성하기 때문에, 트렌치의 가장자리에 잔존하는 로코스산화막으로 인해 트렌치에 인접한 실리콘웨이퍼의 상부 모서리가 라운딩되는 효과가 있다.
- <43> 따라서, 종래 방법으로는 소자가 고집적화되어 갈수록 트렌치에 인접한 실리콘웨이퍼의 상부 모서리를 라운딩시키기 어려웠으므로, 본 발명에 따른 방법으로 라운딩시키면 소자의 소형화가 가능해지는 효과가 있다.

**【특허청구범위】****【청구항 1】**

실리콘웨이퍼 상에 패드산화막 및 질화막을 형성하고, 트렌치로 예정된 영역의 상부에 위치하는 질화막 및 패드산화막을 상기 예정된 트렌치보다 소정폭 더 크게 식각하여 로코스구를 형성하는 단계;

상기 로코스구를 통해 노출된 실리콘웨이퍼를 열산화하여 로코스산화막을 형성하는 단계;

트렌치로 예정된 영역 상에 위치하는 로코스산화막과, 목적하는 소정깊이의 실리콘웨이퍼를 식각하여 트렌치를 형성하되, 상기 트렌치의 가장자리에 위치하는 실리콘웨이퍼에는 상기 로코스산화막을 잔존시키도록 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 내부를 매립하도록 절연막을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 로코스구를 형성할 때에는, 상기 예정된 트렌치보다 400Å 이하만큼 더 큰 폭으로 식각하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 3】

제 2 항에 있어서,

상기 트렌치를 형성할 때에는, 상기 로코스산화막 및 질화막 상에 감광막을 도포하고 노광 및 현상하여 상기 트렌치로 예정된 영역 상에 위치하는 로코스산화막을 노출시키는 감광막

패턴을 형성한 후, 상기 감광막 패턴을 마스크로 하여 노출된 로코스산화막 및 목적하는 소정 깊이의 실리콘웨이퍼를 식각하여 트렌치를 형성하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 감광막 패턴을 형성할 때에는 상기 트렌치의 가장자리에 위치하는 실리콘웨이퍼에 형성된 상기 로코스산화막을 200\AA 이하의 폭으로 덮어 전체적인 단면폭으로는 400\AA 이하의 폭으로 덮고 나머지 로코스산화막을 노출시키도록 감광막 패턴을 형성하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 5】

제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 절연막을 형성하기 전에는, 상기 트렌치의 내벽 및 상기 잔존 로코스산화막 상에 라이너산화막을 $100\text{--}500\text{\AA}$ 두께로 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 6】

제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 절연막을 형성하기 전에는, 상기 잔존 로코스산화막을 제거한 후 라이너산화막을 $100\text{--}500\text{\AA}$ 두께로 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

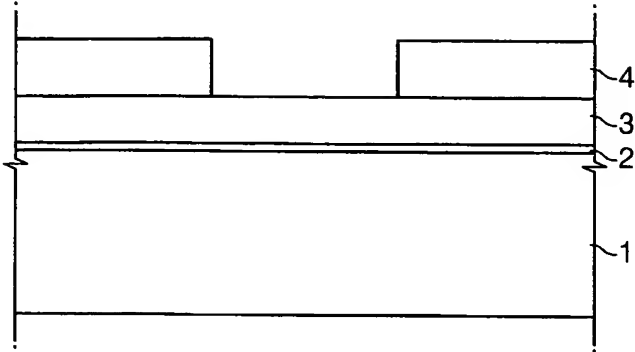
【청구항 7】

제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

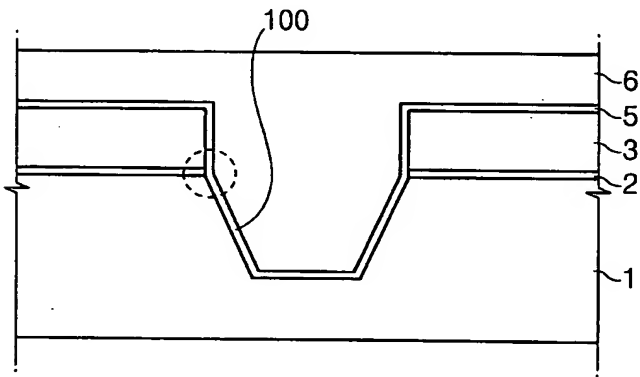
상기 절연막을 형성한 후에는 상기 질화막이 노출될 때까지 상기 절연막을 화학기계적 연마하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【도면】

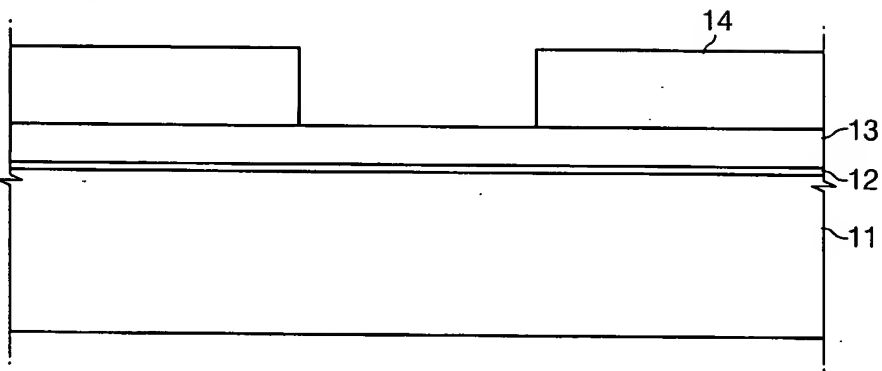
【도 1a】



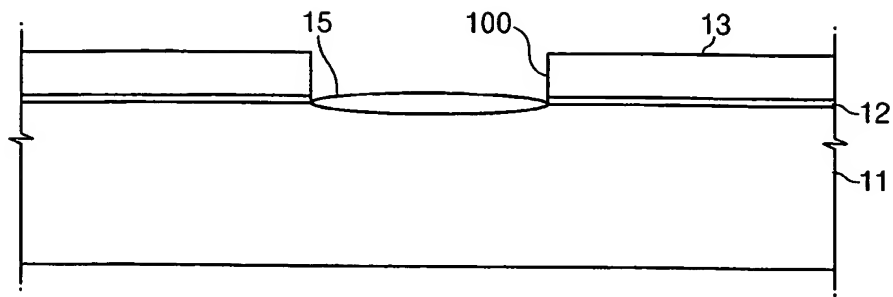
【도 1b】



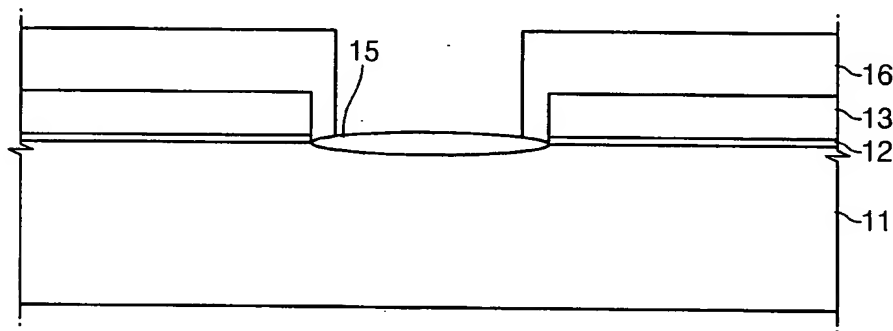
【도 2a】



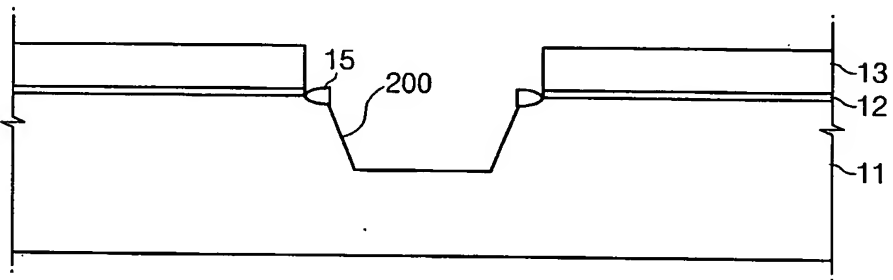
【도 2b】



【도 2c】



【도 2d】



【도 2e】

